

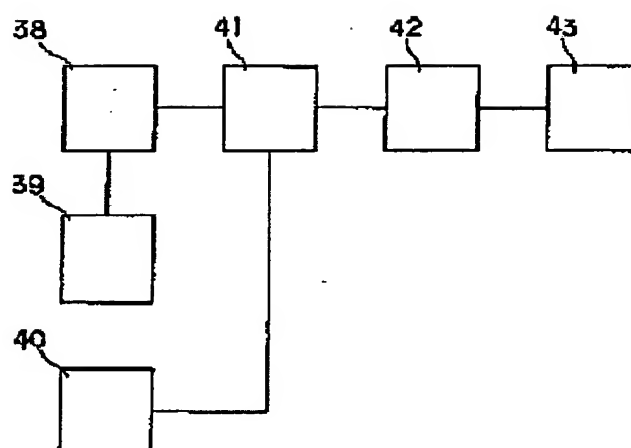
CIRCUIT DETECTING ABNORMALITIES OF OSCILLATION FREQUENCY FROM OSCILLATING MEANS

Patent number: JP2000009767
Publication date: 2000-01-14
Inventor: YAMAZAKI KAZUhide; HAYASHI SHIGEO
Applicant: JAPAN SERVO;; JMS CO LTD
Classification:
- **International:** G01R23/15; G01R31/00; H03B1/00; H03D13/00; H03K3/02
- **European:**
Application number: JP19980189602 19980622
Priority number(s): JP19980189602 19980622

Report a data error here

Abstract of JP2000009767

PROBLEM TO BE SOLVED: To provide a circuit which detects the abnormalities of an oscillation frequency without having to go through a software. **SOLUTION:** This abnormality detection circuit is provided with a detection circuit for detecting an abnormality of an oscillation frequency from an oscillating means; an initialization circuit 39 carrying out an initialization of the detection circuit 38 and a stopping of an action, a dividing circuit 40 for dividing an oscillation signal produced by a standard oscillating means comparing with the above oscillation frequency signal, a count circuit 41 for counting the pulse number outputted from the oscillating means outputted in a standard count period produced thereby, a retaining circuit 42, and a decision circuit 43 for deciding the normality or abnormality by a number value retained by the retaining circuit 42. An erroneous detection caused by a difference of the oscillation frequency due to an individual difference of the oscillating means which detects the abnormality by giving some range to a counter value for deciding normality by the decision circuit 43.



Data supplied from the *esp@cenet* database - Worldwide

(51) IntCl. ⁷	識別記号	F I	テーマコード(参考)
G 0 1 R 23/15		G 0 1 R 23/15	E 2 G 0 3 6
31/00		31/00	5 J 0 4 3
H 0 3 B 1/00		H 0 3 B 1/00	B
H 0 3 D 13/00		H 0 3 D 13/00	B
H 0 3 K 3/02		H 0 3 K 3/02	P
審査請求 未請求 請求項の数2 F D (全 6 頁)			

(21) 出願番号 特願平10-189602

(22) 出願日 平成10年6月22日(1998.6.22)

(71) 出願人 000228730

日本サーボ株式会社

東京都千代田区神田美土代町7

(71) 出願人 000153030

株式会社ジェイ・エム・エス

広島県広島市中区加古町12番17号

(72) 発明者 山崎 和英

埼玉県与野市円阿弥5-8-45番地 日本

サーボ株式会社研究所内

(74) 代理人 100062982

弁理士 澤木 誠一 (外1名)

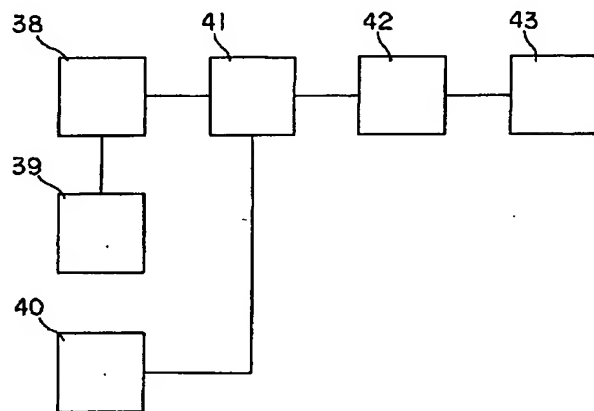
最終頁に続く

(54) 【発明の名称】 発振手段からの発振周波数の異常検出回路

(57) 【要約】 (修正有)

【課題】 従来の発振周波数の異常検出回路においては、水晶発振子の周波数が正常な範囲から逸脱した場合の異常検出を、マイクロコンピュータによるソフトウェアに頼っていたため高価で、信頼性が低かった。

【解決手段】 発振手段からの発振周波数の異常を検出する検出回路38と、この検出回路38の初期化と動作の停止を行うための初期化回路39と、上記発振周波数信号と比較する基準発振手段によって生成される発振信号を分周する分周回路40と、これによって生成された基準計数周期内に出力される発振手段からの出力パルス数を計数するための計数回路41と、保持回路42と、この保持回路42が保持した数値によって異常かどうかを判定する判定回路43とを設け、この判定回路43で正常と判定する計数値に、ある範囲を持たせることにより異常を検出すべき発振手段の個体差による発振周波数の違いに起因する誤検出を回避するようにする。



【特許請求の範囲】

【請求項1】 異常を検出すべき発振手段からの発振周波数を検出する検出回路と、この検出回路の初期化回路と、上記発振周波数と比較するための基準となる基準発振手段によって生成される発振周波数を分周する分周回路と、この分周回路によって生成された基準計数周期内に出力される上記異常を検出すべき発振手段からの出力パルス数を計数するための計数回路と、計数された数値によって異常かどうかを判定する判定回路とより成り、この判定回路で正常と判定する計数値にある範囲を持たせることにより異常を検出すべき発振手段の個体差による発振周波数の違いに起因する誤検出を回避することを特徴とする発振手段からの発振周波数の異常検出回路。

【請求項2】 異常を検出すべき第1、第2の発振手段からの発振周波数を夫々検出する検出回路と、この検出回路の初期化回路と、上記第2の発振手段によって生成される発振周波数を分周する分周回路と、この分周回路によって生成された基準計数周期内に出力される上記第1の発振手段からの出力パルス数を計数するための計数回路と、計数された数値によって異常かどうかを判定する判定回路とより成り、この判定回路で正常と判定する計数値にある範囲を持たせることにより上記第1、第2の発振手段の個体差による発振周波数の違いに起因する誤検出を回避することを特徴とする異常を検出すべき発振手段からの発振周波数の異常検出回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は発振手段からの発振周波数の異常検出回路、特に、マイクロコンピュータを用いない発振手段からの発振周波数の異常検出回路に関するものである。

【0002】

【従来の技術】図4は従来の発振周波数の異常検出回路の一例を示す。この例では水晶発振子のような発振手段（図示せず）からのクロック信号35の周波数の異常を検出するための検出手段としてカウンタ36およびカウンタ36の値を一定間隔ごとに取り込み、カウンタを0に戻すためのタイマ37を内蔵したワンチップマイクロコンピュータ31を使用する。

【0003】ワンチップマイクロコンピュータ31は水晶発振子33と内蔵する発振回路34によって専用の独立した発振周波数を有しており、予めタイマ37に設定した一定間隔にカウンタ36に入力されるクロック信号35の数を予め定められた合否基準の数値とワンチップマイクロコンピュータ31の演算ユニット32によって比較してクロック信号35の周波数に異常があるか無いかの判断を行なっている。

【0004】例えばクロック信号35を1MHz、タイマ37を1msに設定した場合、理想的にはカウンタ36の数値は毎回1000となる。この値に諸々の誤差を

考慮して998～1002のように合格値に範囲を持たせる。これらの処理は全てワンチップマイクロコンピュータ31の内部で行なわれる。

【0005】

【発明が解決しようとする課題】然しながら、上記従来の構成では、次のような問題を有している。

【0006】（1）精度計測に使用できる仕様の計数機能を持つマイクロコンピュータは通常、上位機種に位置づけられており高価である。

【0007】（2）異常検出の判定をソフトウェアで行なっているため、外部からは処理の内容は確認できない。従って、特に信頼性を要求される場合には判定を行うマイクロコンピュータに異常が無いことを判定するための回路が別個に必要なになる。

【0008】本発明の目的は上述の従来問題に留意し、ソフトウェアを介在せずに発振周波数の異常検出を行う回路を提供することにある。

【0009】

【課題を解決するための手段】本発明の発振手段からの発振周波数の異常検出回路は、異常を検出すべき発振手段からの発振周波数を検出する検出回路と、この検出回路の初期化回路と、上記発振周波数と比較するための基準となる基準発振手段によって生成される発振周波数を分周する分周回路と、この分周回路によって生成された基準計数周期内に出力される上記異常を検出すべき発振手段からの出力パルス数を計数するための計数回路と、計数された数値によって異常かどうかを判定する判定回路とより成り、この判定回路で正常と判定する計数値にある範囲を持たせることにより異常を検出すべき発振手段の個体差による発振周波数の違いに起因する誤検出を回避することを特徴とする。

【0010】また、本発明の発振手段からの発振周波数の異常検出回路は、異常を検出すべき第1、第2の発振手段からの発振周波数を夫々検出する検出回路と、この検出回路の初期化回路と、上記第2の発振手段によって生成される発振周波数を分周する分周回路と、この分周回路によって生成された基準計数周期内に出力される上記第1の発振手段からの出力パルス数を計数するための計数回路と、計数された数値によって異常かどうかを判定する判定回路とより成り、この判定回路で正常と判定する計数値にある範囲を持たせることにより上記第1、第2の発振手段の個体差による発振周波数の違いに起因する誤検出を回避することを特徴とする。

【0011】

【作用】本発明の発振手段からの発振周波数の異常検出回路においては、判定回路が有する正常と判定する値にある範囲を持たせることにより水晶発振子等の発振手段の個体差による発振周波数の違いによる誤検出を防ぐことができ、ソフトウェアを介さずに水晶発振子等の発振手段の異常を比較的安価な回路構成で検出できる。

【0012】

【発明の実施の形態】以下図面によって本発明の実施例を説明する。

【0013】本発明の発振手段からの発振周波数の異常検出回路においては、図1に示すようにある周波数で発振する異常を検出すべき発振手段からの発振周波数を検出する検出回路38と、この検出回路38の初期化と動作の停止を行うための初期化回路39と、上記発振周波数と比較するための基準となる基準発振手段によって生成される発振信号を分周する分周回路40と、この分周回路40によって生成された基準計数周期内に出力される上記異常を検出すべき発振手段からの出力パルス数を計数するための計数回路41と、計数された数値を保持する保持回路42と、この保持回路42が保持した数値によって異常かどうかを判定する判定回路43とより成り、この判定回路43で正常と判定する計数値にある範囲を持たせることにより異常を検出すべき発振手段の個体差による発振周波数の違いに起因する誤検出を回避するようにする。

【0014】具体的には図2に示すように、本発明の発振手段からの発振周波数の異常検出回路は、異常を検出したいクロック信号である被試験クロック信号1と、基準信号またはもう一つの異常を検出したいクロック信号である基準クロック信号2及び回路を初期状態とするための回路イニシャル信号3の3つの信号を入力することにより、上記被試験クロック信号1が異常な場合に出力トランジスタ4をオンし、クロック周波数異常信号5として出力する構成とする。なお、上記被試験クロック信号1と基準クロック信号2は同じ周波数のものを使用できる。

【0015】本発明の発振手段からの発振周波数の異常検出回路を作動せしめるには、まず、回路イニシャル信号3をLレベルにすることによって、回路の初期条件の必要な部分である、基準クロック分周カウンタ6、発振開始時検出フリップフロップ7、判定動作開始時検出フリップフロップ8を初期状態とし、及び極性反転ゲート9、異常検出動作開始時制御ゲート10を介して計数カウンタ11を初期状態とする。

【0016】次に回路イニシャル信号3をHレベルとし、すでに初期状態となっている回路を比較される2つのクロック信号1、2の入力待ちの状態とする。発振開始時検出フリップフロップ7の出力は、初期状態よりLレベルを保持しており基準クロック信号2が入力されて、基準クロック分周カウンタ6の出力がHとなった時に被試験クロック信号1が入力されると、2つのクロック信号の積を出力するクロック検出ゲート12によって発生されるクロック信号の最初の立ち上がりで、フリップフロップ7は出力をHレベルに反転し、以後回路イニシャル信号3が再度Lレベルとならない限りHレベル出力が保持される。

【0017】発振開始時検出フリップフロップ7の出力は被試験クロック開閉ゲート13を開放し、主回路用クロック信号14の伝達を開始する。

【0018】主回路用クロック信号14が入力されると、プログラマブルロジックデバイス(PLD)である合否判定ロジックIC15が基準クロック分周カウンタ6の出力である基準クロック分周パルス16の立ち上がりエッジを検出し、被試験クロック信号1に同期したワンショットパルスを生成する。該ワンショットパルスは判定動作開始時検出フリップフロップ8、計数カウンタクリアパルス生成ゲート17、比較用数値保持回路18A、18Bに入力され合否判定を行う同期信号となる。判定動作開始時検出フリップフロップ8は最初の上記ワンショットパルスを受けると初期状態より保持していたLレベルの出力をHレベルに反転し、計数パルス開閉ゲート19を開放する。

【0019】計数パルス開閉ゲート19が開放されると位相反転ゲート20によって反転されたクロック信号を伝搬遅延時間調整ゲート21によって計数カウンタ11に入力され、計数を開始する。計数カウンタ11が計数した数値は合否判定ロジックIC15によって生成された上記ワンショットパルスによって比較用数値保持回路18A、18Bに保持された後、該ワンショットパルスによってリセットされる。

【0020】比較用数値保持回路18A、18Bに保持された数値は合否判定ロジックIC15によって合否判定され、合否判定ロジックIC15が異常と判定すると出力トランジスタ4をオンする。

【0021】合否判定ロジックIC15の出力端子はブルアップ抵抗群22によってブルアップする。また、図3のように、上記ロジックIC15の判定用数値入力端子群23に入力された数値は、数値比較ロジック24、数値比較ロジック25、数値比較ロジック26によって3つの数値と比較し、合否判定ロジック27によって異常かどうかを判定する。

【0022】合格と判定される数値を3つ設定することにより、水晶発振子の個体差による許容範囲内での周波数の違いや入力される2つのクロック信号の位相差によるクロック周波数異常の誤検出は起こらない。

【0023】また、合否判定ロジックIC15は上記ワンショットパルスの生成ロジックを内蔵しており、2つのフリップフロップ28、29と、ORゲート30を用いて基準クロック分周カウンタ6の出力である基準クロック分周パルスの立ち上がりエッジを検出し、主回路用クロック信号14の1周期幅のワンショットパルスを生成する。

【0024】本実施例では、11ビットの計数値について判定を行ない、被試験クロック信号1か、基準クロック信号2が約±0.1%以上基準値から外れた場合に、

これを検出可能であり、更に精度が必要な場合は計数カウンタ11、保持回路18A、18B、合否判定ロジックIC15で扱う数値のビット数を増やすことによって精度をあげることが可能である。

【0025】また、本実施例では合否判定を行う計数値を11ビットだけにしているため、被試験周波数が正常な周波数の2ⁿ倍の場合には異常検出が行えないが計数、比較するビット数を増やし上位ビットについても監視することにより不感帯を小さくすることが可能である。

【0026】本発明の他の実施例においては、異常を検出すべき発振手段を2個用い、その一方の発振手段を上記基準発振手段として用いて、他方の発振手段の発振周波数の異常を検出するようにする。なお、発振手段の個体差による発振周波数のばらつきは水晶発振子等の原発振素子に起因するものであり、上記第1、第2どちらの発振手段にもこのようなばらつきは必ず有るが、この実施例では2つの発振手段各々が持つ許容範囲内のばらつきを容認し、且ついずれか1つの発振手段の発振周波数がしきい値を越える異常な周波数となった場合には確実に検出できる利点がある。

【0027】

【発明の効果】上記のように本発明の発振手段からの発振周波数の異常検出回路によれば、比較的安価な構成で、マイクロコンピュータのソフトウェアによる判定を用いずに水晶発振子の周波数が正常範囲から外れた場合に異常を検出することが可能となる大きな利益がある。

【図面の簡単な説明】

【図1】本発明の発振手段からの発振周波数の異常検出回路のブロック図である。

【図2】本発明の発振手段からの発振周波数の異常検出回路図である。

【図3】本発明の発振手段からの発振周波数の異常検出回路における合否判定ロジックICの説明図である。

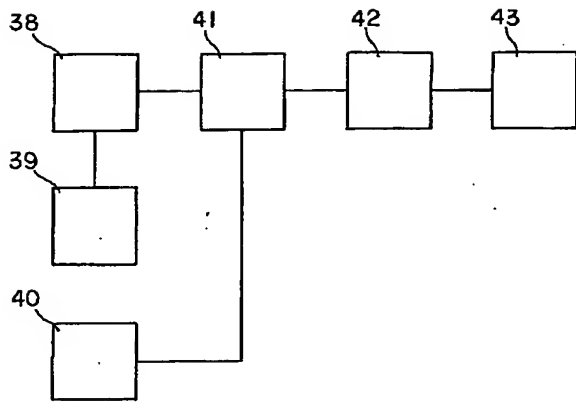
【図4】従来の発振手段からの発振周波数の異常検出回路図である。

【符号の説明】

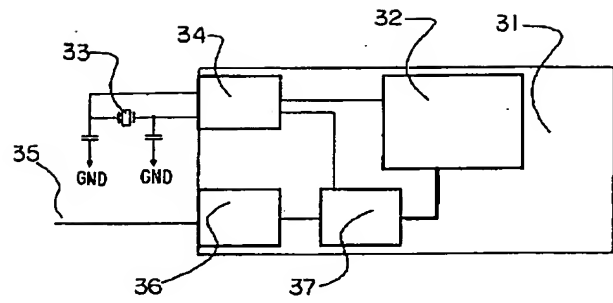
- 1 被試験クロック信号
- 2 基準クロック信号
- 3 回路イニシャル信号

- 4 出力トランジスタ
- 5 クロック周波数異常信号
- 6 基準クロック分周カウンタ
- 7 発振開始時検出フリップフロップ
- 8 判定動作開始時検出フリップフロップ
- 9 極性反転ゲート
- 10 異常検出動作開始時制御ゲート
- 11 計数カウンタ
- 12 クロック検出ゲート
- 13 被試験クロック開閉ゲート
- 14 主回路用クロック信号
- 15 合否判定ロジックIC
- 16 基準クロック分周パルス
- 17 計数カウンタクリアパルス生成ゲート
- 18A 比較用数値保持回路
- 18B 比較用数値保持回路
- 19 計数パルス開閉ゲート
- 20 位相反転ゲート
- 21 伝搬遅延時間調整ゲート
- 22 プルアップ抵抗群
- 23 判定用数値入力端子群
- 24 数値比較ロジック
- 25 数値比較ロジック
- 26 数値比較ロジック
- 27 合否判定ロジック
- 28 フリップフロップ
- 29 フリップフロップ
- 30 ORゲート
- 31 ワンチップマイクロコンピュータ
- 32 演算ユニット
- 33 水晶発振子
- 34 発振回路
- 35 クロック信号
- 36 カウンタ
- 37 タイマ
- 38 検出回路
- 39 初期化回路
- 40 分周回路
- 41 計数回路
- 42 保持回路
- 43 判定回路

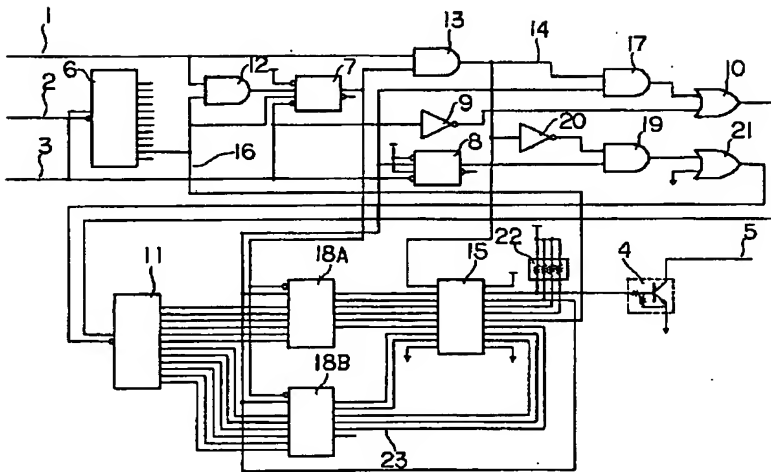
【図1】



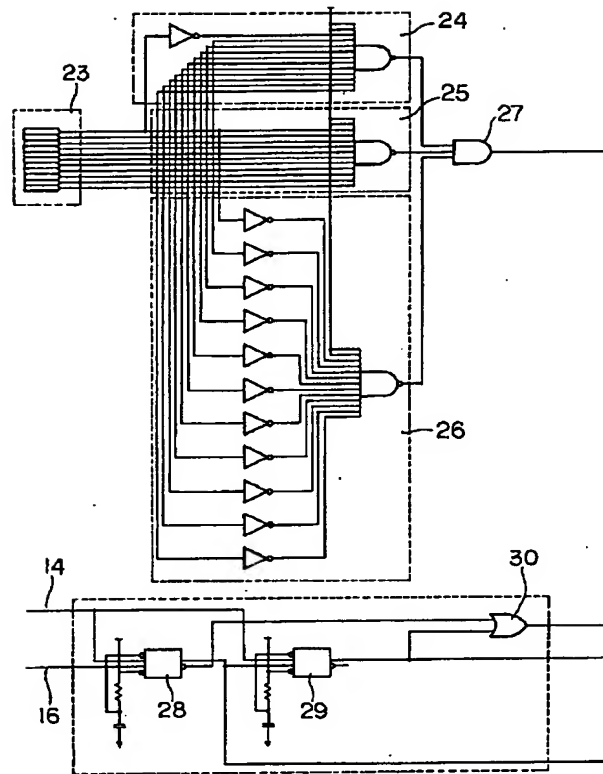
【図4】



【図2】



【図3】



フロントページの続き

(72)発明者 林 茂生
 広島県山県郡千代田町大字新氏神10番地
 株式会社ジェイ・エム・エス千代田工場内

Fターム(参考) 2G036 AA06 BB21 CA06
 5J043 AA08 BB04 DD00 DD05 DD07
 DD08 DD13